

WEST

US 6319734 B1

 Generate Collection

L1: Entry 26 of 47

File: JPAB

Jun 23, 2000

PUB-N0: JP02000174266A

DOCUMENT-IDENTIFIER: JP 2000174266 A

TITLE: METHOD FOR SETTING CONDITIONS FOR DIFFERENTIAL IMPLANTATION

PUBN-DATE: June 23, 2000

INVENTOR-INFORMATION:

NAME

COUNTRY

MATSUDA, TOMOKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP10342636

APPL-DATE: December 2, 1998

INT-CL (IPC): H01 L 29/78; H01 L 21/336; H01 L 21/265

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for setting conditions for manufacture of MOSFETs having allowable characteristics by evaluating an influence of energy contamination on characteristic of a device.

SOLUTION: When ions are implanted into a wafer by using a differential implantation device so as to form a source/drain of a MOSFET, conditions for determining the degree of vacuum and/or distance of a beam line of the differential implantation device are set so that indexes indicating the characteristics of the MOSFET are within a specified allowable range. For its sake, a curve showing the quantity of allowable energy contamination is made, thereby obtaining the quantity of allowable energy contamination to a desired depth of junction according to the curve.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-174266

(P2000-174266A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.
H 01 L 29/78
21/336
21/265

識別記号

F I
H 01 L 29/78
21/265

デマコード(参考)
3 0 1 Z 5 F 0 4 0
T

審査請求 有 請求項の数 6 OL (全 7 頁)

(21)出願番号 特願平10-342636

(22)出願日 平成10年12月2日(1998.12.2)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松田 友子

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100086645

弁理士 岩佐 義幸

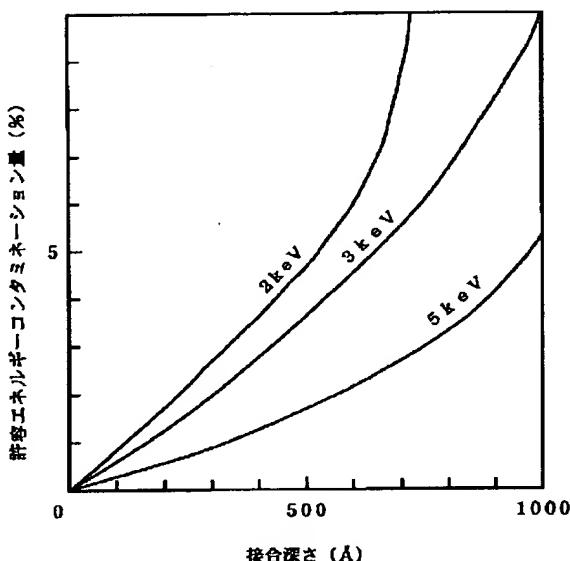
Fターム(参考) 5F040 DA06 DA13 EE05 FB00

(54)【発明の名称】 ディファレンシャル注入における条件設定方法

(57)【要約】

【課題】 デバイス特性へのエネルギー・コンタミネーションの影響を評価して、許容範囲内の特性を有するMOSFETを製造するための条件設定方法を提供する。

【解決手段】 MOSFETのソース/ドレインを形成するため、ディファレンシャル注入装置によりウエハにイオンを注入するに際し、MOSFETの特性を表す指標が、所定の許容範囲内に入るよう、ディファレンシャル注入装置のビームラインの真空度および/または距離を定めるための条件を設定するに際し、許容エネルギー・コンタミネーション量を表す曲線を作成し、この曲線により所望の接合深さに対する許容エネルギー・コンタミネーション量を求める記述とする。



【特許請求の範囲】

【請求項1】MOSFETのソース/ドレインを形成するため、ディファレンシャル注入装置によりウエハにイオンを注入するに際し、MOSFETの特性を表す指標が、所定の許容範囲内に入るよう、前記ディファレンシャル注入装置のビームラインの真空度および/または距離を定めるための条件を設定する方法において、許容エネルギー・コンタミネーション量を表す曲線を作成し、この曲線により所望の接合深さに対する許容エネルギー・コンタミネーション量を求め前記条件とすることを特徴とする条件設定方法。

【請求項2】前記許容エネルギー・コンタミネーション量を表す曲線は、エネルギー・コンタミネーションが生じない方法でウエハにイオンを第1の条件で注入し、アニールした後、接合深さを測定し、かつ前記指標を求め、これを第1の指標とし、前記測定された接合深さと同じ接合深さを得るように前記エネルギー・コンタミネーションが生じない方法でウエハに前記第1の条件でイオン注入後、エネルギー・コンタミネーションが生じる方法でウエハに第2の条件でイオンを注入し、アニールした後、前記指標を求め、これを第2の指標とし、

前記第1の指標と前記第2の指標との差が、前記所定の許容範囲内に入るようなエネルギー・コンタミネーション量の許容値を求め、これを許容エネルギー・コンタミネーション量とし、

前記測定した接合深さと前記求めた許容エネルギー・コンタミネーション量とをグラフ上にプロットすることにより作成することを特徴とする請求項1記載の条件設定方法。

【請求項3】前記グラフは、横軸をソース/ドレインの接合深さ、縦軸をエネルギー・コンタミネーション量とし、前記曲線より下側の領域にある、所望の接合深さに対するエネルギー・コンタミネーション量を前記条件とすることを特徴とする請求項2記載の条件設定方法。

【請求項4】前記指標は、しきい値電圧であることを特徴とする請求項1～3のいずれかに記載の条件設定方法。

【請求項5】前記指標は、短チャネル効果を表す指標であることを特徴とする請求項1～3のいずれかに記載の条件設定方法。

【請求項6】前記曲線より前記条件を求める、求めた条件を満たすように、前記ビームラインの真空度を上げ、および/または、前記ビームラインの距離を短くすることを特徴とする請求項1～5のいずれかに記載の条件設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディファレンシャル注入を用いた半導体デバイスの製造方法、特にディファレンシャル注入を行う場合の条件設定方法に関する。

【0002】

【従来の技術】ディープ・サブクォータミクロンMOSFETにおいて短チャネル効果を小さくするためには、50 nm以下の接合深さを有する極めて浅いソース/ドレインが必要とされる。低エネルギー注入は、このような浅い接合を実現する方法の1つである。しかし、注入エネルギーが低くなると、ビーム電流量が低下し、生産性が悪くなる。

【0003】このような問題を解決したイオン注入方法として、ディファレンシャル注入方法がある。このディファレンシャル注入方法を説明する前に、比較の意味で、まず通常のドリフト注入方法を説明しておく。

【0004】図1は、ドリフト注入装置の概略構成を示す。このイオン注入装置によれば、引出し電極10により、イオン源12からビームを引出し、ビームライン14を経て、ウエハ16に注入している。低エネルギー注入を、このドリフト注入装置で行う場合、前述したように、生産性が良くない。

【0005】図2は、ディファレンシャル注入方法を用いたイオン注入装置の概略構成を示す。このイオン注入装置によれば、引出し電極10により、ウエハへの注入エネルギーより高いエネルギーでイオン源12からビームを引出し、ビームライン14を通過させて、注入直前に減速電極18でビームを注入エネルギーまで減速し、ウエハ16に注入している。

【0006】このイオン注入装置では、引出し電極10でイオンに与えられるエネルギーを高くすることができるので、高いビーム電流が得られる。したがって、生産性が良いというメリットがある。

【0007】しかし、このディファレンシャル注入は、エネルギー・コンタミネーションの問題がある (J. Freeman et al. IIT Conference Proceedings., 357 (1992) 参照)。イオンビームは、ビームライン内を通過するので、ビームライン内の残留ガスの原子および分子と相互作用する。この相互作用は、“電荷交換 (Charge Exchange)”と呼ばれ、

【0008】

【数1】 A^+ (高速イオン) + B^0 (低速原子) $\rightarrow A^0$ (高速原子) + B^+ (低速イオン)

のような交換が行われる。すなわち、相互作用の結果、高速イオン A^+ が中性化したイオン A^0 に変換される。この中性化したイオンは、減速電極による電界の影響を受けることなく、所望の注入エネルギーとは異なるエネルギーで、ウエハに到達する。すなわち、中性化したイオンは、減速電極で減速しきれずに、引出し電極で引出された初速のまま注入されるため、イオンが深くまで注入され接合が深くなる。

【0009】このような中性化したイオンが注入されることをエネルギー・コンタミネーションと呼び、注入されるイオンをコンタミネーション・イオンと言う。ディファレンシャル注入では、このようなエネルギー・コンタミネーションが生じる結果、デバイスの特性が劣化したり、デバイスの特性がばらついたりする。

【0010】

【発明が解決しようとする課題】ディファレンシャル注入を用いてMOSFETを製造する場合、前述したようにエネルギー・コンタミネーションによりデバイス特性の劣化を生じる。このような劣化を抑制するためには、エネルギー・コンタミネーション量（エネルギー・コンタミネーションのある場合のドーズ量／エネルギー・コンタミネーションのない場合のドーズ量の比（%）で表される）を、デバイス特性の劣化の許容範囲内に抑えることが要求される。デバイス特性の許容範囲については、例えば、SIA (Semiconductor Industry Association) のロードマップに規定されている。

【0011】したがって、所望の接合深さに対し、SIAロードマップで規定されるデバイス特性の許容範囲を満たすエネルギー・コンタミネーション量の許容値が求められれば、エネルギー・コンタミネーション量を許容値以下とするように、①イオン注入装置中のビームラインの真空度を上げる、②ビームラインの距離を短くすることにより、許容範囲内のデバイス特性が得られる。

【0012】したがって、本発明の目的は、デバイス特性へのエネルギー・コンタミネーションの影響を評価して、許容範囲内の特性を有する半導体デバイスを製造するための条件設定方法を提供することにある。

【0013】

【課題を解決するための手段】本発明のディファレンシャル注入における条件設定方法によれば、MOSFETのソース／ドレインを形成するために、ディファレンシャル注入装置によりウエハにイオンを注入するに際し、MOSFETの特性を表す指標が、所定の許容範囲に入るように、ディファレンシャル注入装置のビームラインの真空度および／または距離を定めるための条件を設定する。この条件は、許容エネルギー・コンタミネーション量を表す曲線を作成し、この曲線により所望の接合深さに対する許容エネルギー・コンタミネーション量を求ることにより得られる。

【0014】前記許容エネルギー・コンタミネーション量を表す曲線は、エネルギー・コンタミネーションが生じない方法でウエハにイオンを第1の条件で注入し、アニールした後、接合深さを測定し、かつ前記指標を求め、これを第1の指標とし、前記測定された接合深さと同じ接合深さを得るように前記エネルギー・コンタミネーション

10

が生じない方法でウエハに前記第1の条件でイオン注入後、エネルギー・コンタミネーションが生じる方法でウエハに第2の条件でイオンを注入し、アニールした後、前記指標を求め、これを第2の指標とし、前記第1の指標と前記第2の指標との差が、前記所定の許容範囲内に入るようなエネルギー・コンタミネーション量の許容値を求め、これを許容エネルギー・コンタミネーション量とし、前記測定した接合深さと前記求めた許容エネルギー・コンタミネーション量とをグラフ上にプロットすることにより作成する。

【0015】グラフの横軸をソース／ドレインの接合深さ、縦軸をエネルギー・コンタミネーション量とすると、曲線より下側の領域にある、所望の接合深さに対するエネルギー・コンタミネーション量が許容エネルギー・コンタミネーション量である。

【0016】接合深さ－許容エネルギー・コンタミネーションの曲線より求めた許容エネルギー・コンタミネーションが、ディファレンシャル注入装置のビームラインの真空度および／または距離を定めるための条件となる。この条件を満たすように、ビームラインの真空度を上げ、および／または、ビームラインの距離を短くする。これにより、特性劣化のないMOSFETが得られる。

【0017】

【発明の実施の形態】半導体デバイスとしてMOSFETのソース／ドレインをディファレンシャル注入により作製する場合について説明する。また、MOSFETの特性を表す指標の1つとしてしきい値電圧（V_t）を選ぶものとする。

【0018】SIAロードマップによれば、しきい値電圧V_tの3σ変動（許容範囲）は、図3に示すように、各世代毎に規定されている。以下の実施例では、2006年の世代（設計ルール100nm）でのしきい値電圧V_tの許容範囲±40mVに取まるようなエネルギー・コンタミネーション量の許容値と接合深さとの関係を示すグラフを作成するものとする。

【0019】まず図4(a)に示すように、シリコン基板20上に酸化物層22およびゲート24（ゲート長100nm）が作製されたウエハ16を5枚用意する。これら各ウエハを、図1に示したイオン注入装置において、エネルギー・コンタミネーションを生じない低エネルギーでホウ素（B）のイオン注入を行い、イオン注入後、ウエハをランプ加熱炉に入れてRTA（Rapid Thermal Annealing）を行う。以上の処理により、図4(b)に示すようにソース／ドレイン26、28を形成した。各ウエハの処理条件を表1に示す。

【0020】

【表1】

5

6

ウエハ No.	イオン注入	アニール
	注入エネルギー、ドーザ量	温度、時間
1	0.25 keV, $5 \times 10^{14}/\text{cm}^2$	950°C, 10秒
2	0.5 keV, $5 \times 10^{14}/\text{cm}^2$	950°C, 10秒
3	1.0 keV, $5 \times 10^{14}/\text{cm}^2$	950°C, 10秒
4	1.0 keV, $5 \times 10^{14}/\text{cm}^2$	1000°C, 10秒
5	1.0 keV, $5 \times 10^{14}/\text{cm}^2$	1050°C, 5秒

【0021】各ウエハからゲート長が100nm（実測値）のMOSFETを複数個サンプリングし、各サンプルの接合深さをSIMSで測定し、平均値を算出した。算出された各ウエハの接合深さを表2に示す。

【0022】

【表2】

ウエハ No.	接合深さ
1	243Å
2	332Å
3	520Å
4	652Å
5	690Å

【0023】さらに各ウエハのサンプルのしきい値電圧V_tを求める平均値を算出する。V_tは、MOSFETのI_d、V_gを実測し、SIAロードマップにより定められる規則から特定のI_dに対応するV_gを、V_tとして定める。このようにして算出された各ウエハのしきい値電圧V_tを、表3に示すように、V_t (1), V_t (2), V_t (3), V_t (4), V_t (5)とする。

【0024】

【表3】

ウエハ No.	しきい値電圧
1	V _t (1)
2	V _t (2)
3	V _t (3)
4	V _t (4)
5	V _t (5)

* 【0025】図3に示したSIAロードマップによれば、2006年の世代のMOSFETのしきい値電圧V_tの許容範囲は±40mVと規定されている。例えば、ウエハNo. 2に作製された接合深さが332Åのソース／ドレインを有するMOSFETのしきい値電圧V_tは、V_t (2) ±40mVであれば許容される。

【0026】エネルギー・コンタミネーションがある場合には、しきい値電圧V_tは小さくなる。したがってソース／ドレインの接合深さが322ÅのMOSFETのしきい値電圧V_tはV_t (2) -40mVまで許容される。この許容範囲に収まるエネルギー・コンタミネーション量の許容値を以下に説明するような手順で求める。

【0027】まず、図4(a)に示したウエハ16を3枚用意し、図1に示したイオン注入装置において、3枚に表4に示すエネルギー・コンタミネーションを生じる高エネルギーでホウ素のイオン注入を行う。次に、エネルギー・コンタミネーションを生じる高エネルギーでホウ素のイオン注入を行った3枚のウエハに図1の装置で0.

30 5keV, $5 \times 10^{14}/\text{cm}^2$ の条件でイオン注入後、ウエハをランプ加熱炉に入れてRTAを行う。以上の処理により、接合深さが332Åのソース／ドレインを形成した。各ウエハの処理条件を表4に示す。

【0028】

【表4】

40

処理 No.	イオン注入		アニール 温度、時間	エネルギー コンタミネーション量
	注入エネルギー、ドーザ量			
1	2keV, $5 \times 10^{12} / \text{cm}^2$ 0.5keV, $5 \times 10^{14} / \text{cm}^2$		950°C, 10秒	1%
2	2keV, $1.5 \times 10^{13} / \text{cm}^2$ 0.5keV, $5 \times 10^{14} / \text{cm}^2$		950°C, 10秒	3%
3	2keV, $2.5 \times 10^{14} / \text{cm}^2$ 0.5keV, $5 \times 10^{14} / \text{cm}^2$		950°C, 10秒	5%

【0029】前記した表1において、接合深さが332ÅのMOSFETを作製するイオン注入条件は、0.5keV, $5 \times 10^{14} / \text{cm}^2$ であった。前述したようにエネルギー・コンタミネーション量は、図7の模式図に示すように、エネルギー・コンタミネーションのある場合のドーザ量/エネルギー・コンタミネーションのない場合のドーザ量の比(%)で表されるから、表4のイオン注入条件でイオン注入した場合のエネルギー・コンタミネーション量は、それぞれ、1%, 3%, 5%となる。これを表4に示す。

【0030】さて、表4に示す処理条件で作製した各ウエハのMOSFETについて、しきい値電圧V_tを求める。しきい値電圧は、エネルギー・コンタミネーションのために、V_t(2)よりも低下している。表4の処理No. 1, 2に示す処理条件によるしきい値電圧V_tは、V_t(2) - 40mV以下にはならなかったが、処理No. 3に示す処理条件によるしきい値電圧V_tは、V_t(2) - 40mV以下になった。このことは、エネルギー・コンタミネーション量が3%までは、許容範囲にあるしきい値電圧V_tのMOSFETを作製できることを示している。すなわち332Å接合深さを作製する場合、エネルギー・コンタミネーション量の許容値は、3%であることがわかる。

【0031】以上は、表1のウエハNo. 2におけるMOSFETのしきい値電圧V_tを許容範囲内とするためのエネルギー・コンタミネーション量の許容値を求めたが、同様にして、その他のウエハNo. 1, No. 3, No. 4, No. 5についても所望の接合深さに対しエネルギー・コンタミネーション量の許容値を求めることができる。求めたエネルギー・コンタミネーション量の許容値を表5示す。

【0032】

【表5】

10*

20

30

40

50

*

ウエハ No.	接合深さ	エネルギー・コンタミネーションの 許容値
1	243Å	2%
2	332Å	3%
3	520Å	5%
4	652Å	7%
5	690Å	10%

【0033】この表の値(5点)を、図5に示すような、横軸を接合深さ(Å)、縦軸をエネルギー・コンタミネーション量(%)とするグラフにプロットし、これらプロットを結んだ曲線30を描く。この曲線は、図2のディファレンシャル注入を用い、引出し電極10で2keVのエネルギーでイオンを引出し、減速電極18で0.5keVの注入エネルギーに減速し、 $5 \times 10^{14} / \text{cm}^2$ のドーザ量のイオンをウエハに注入して、MOSFETのソース/ドレインを形成する場合に、エネルギー・コンタミネーション量を曲約30の下側の領域に抑えると、所望の接合深さを有するMOSFETにおいて、SIAロードマップに規定する許容範囲内のしきい値電圧が得られることを示している。

【0034】同様にして、引出し電極による初速エネルギーが3keV, 5keVについても、図6に示すように、許容エネルギー・コンタミネーション量曲線を描いた。

【0035】図6のグラフを参照して、例えば、ディファレンシャル注入装置を用いて、初速エネルギー2keV, 減速された注入エネルギー0.5keVで、ドーザ量 $5 \times 10^{14} / \text{cm}^2$ のイオンをウエハに注入してソース/ドレインを形成する場合、曲線30より所望の接合深さに対するエネルギー・コンタミネーションの許容値が求まる。この許容値以下となるように、ディファレンシャルイオン注入装置のビームラインの真空度を上げる、および/または、ビームラインの距離を短くする。これにより、許容範囲内のしきい値電圧を有するMOSFETを作製することができる。

【0036】以上の実施例では、MOSFETの特性を表示する指標としてしきい値電圧を扱ったが、これに限

るものではなくその他の指標であってもよい。例えば、短チャネル効果を示す指標 (Lmin) を評価して、図6の曲線を作成することもできる。

【0037】

【発明の効果】以上説明したように本発明によれば、ディファレンシャル注入装置を用いてMOSFETのソース/ドレインを形成する場合に、許容エネルギー・コンタミネーション量の曲線を作製し、この曲線を参照して、エネルギー・コンタミネーション量許容値を割り出し、イオン注入装置のビームラインの真空度および長さを設定することにより、所望の接合深さに対し、特性の劣化のないMOSFETを作製することが可能となる。

【図面の簡単な説明】

【図1】ドリフト注入装置の概略構成を示す図である。
【図2】ディファレンシャル注入方法を用いたイオン注入装置の概略構成を示す図である。

【図3】SIAロードマップを示す図である。

【図4】ウエハを示す図である。

【図5】エネルギー・コンタミネーション許容値を示す曲線を示す図である。

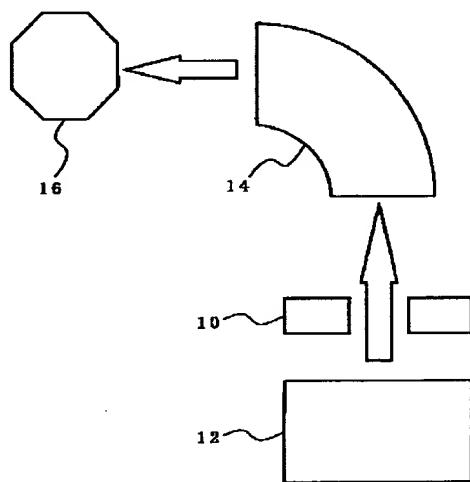
【図6】エネルギー・コンタミネーション許容値を示す曲線を示す図である。

【図7】エネルギー・コンタミネーションを説明する模式図である。

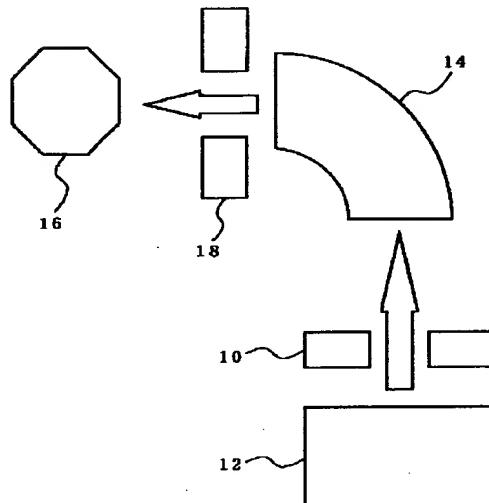
【符号の説明】

10	引出し電極
12	イオン源
14	ビームライン
16	ウエハ
20	シリコン基板
22	酸化物層
24	ゲート
26	ソース
28	ドレイン

【図1】



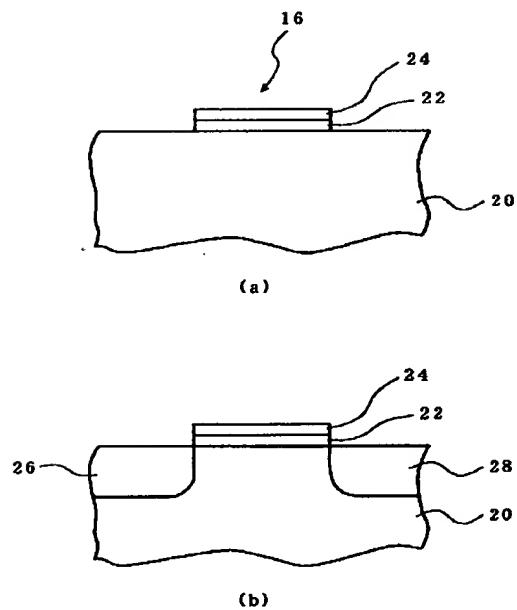
【図2】



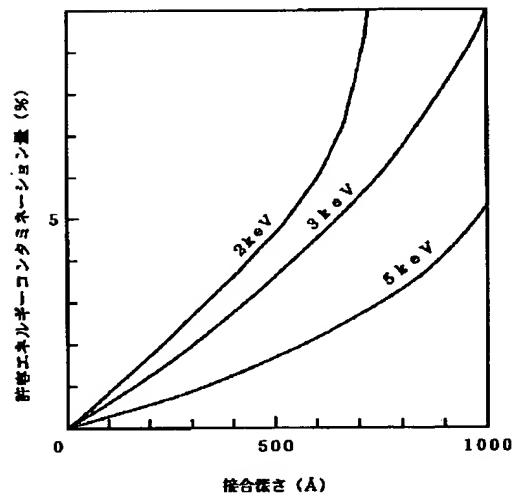
【図3】

Year of First Product Shipment Technology Generation	1997 250 nm	1999 180 nm	2001 150 nm	2003 130 nm	2006 100 nm	2009 70 nm	2012 50 nm
V_T 3 σ Variation(\pm mV) (For minimum L. device)	60	50	45	40	40	40	40

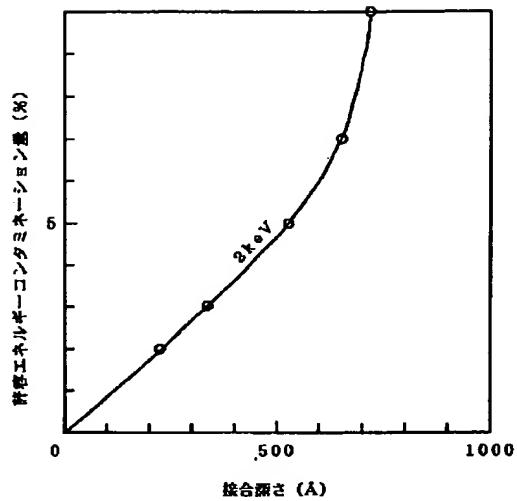
【図4】



【図6】



【図5】



【図7】

